

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067898

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 09-225453

(71)Applicant : SONY CORP

(22)Date of filing : 22.08.1997

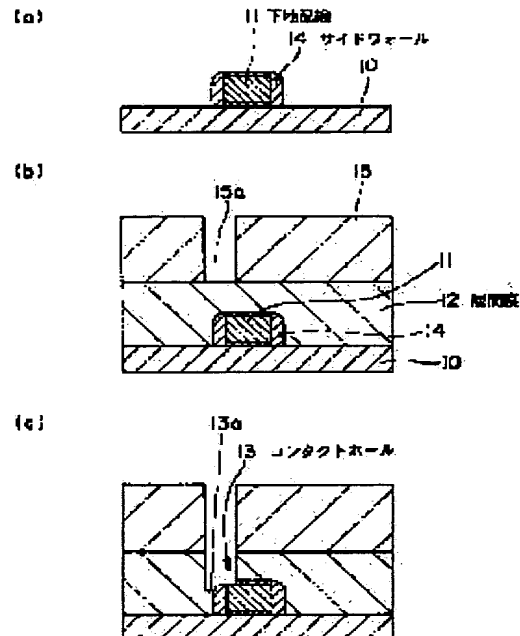
(72)Inventor : KADOMURA SHINGO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a borderless contact from being etched excessively in a deviated region, even if an alignment deviation is generated in the formation of the borderless contact.

**SOLUTION:** In a method, a semiconductor device is manufactured, in such a way that a contact hole 13 communicating with a substrate interconnection 11 is formed in an interlayer film 12 which covers the substrate interconnection 11, and that a borderless contact is formed on the substrate interconnection 11. In this case, a sidewall 14 which is formed of an insulator whose etching rate is slower than that of the interlayer film 12 is formed in advance in the sidewall part of the substrate interconnection 11. Then, the inter-layer film 12 is formed. After that, the contact hole 13 is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67898

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平9-225453

(22) 出願日 平成9年(1997) 8月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 門村 新吾

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 船橋 國則

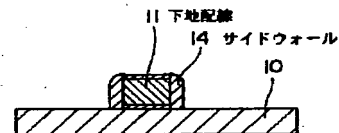
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

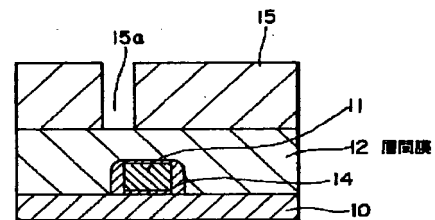
【課題】 ボーダレスコンタクトを形成した際に合わせずれが生じてしまっても、形成されたずれ領域での過剰なエッチングを防止した、半導体装置の製造方法の提供が望まれている。

【解決手段】 下地配線11を覆う層間膜12に、下地配線11に通じるコンタクトホール13を形成して下地配線11上にボーダレスコンタクトを形成する半導体装置の製造方法である。予め下地配線11の側壁部に層間膜12よりエッチレートが遅い絶縁物でサイドウォール14を形成しておき、次いで、層間膜12を成膜し、その後、コンタクトホール13を形成する。

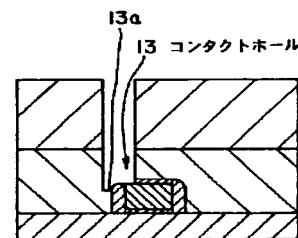
(a)



(b)



(c)



(2)

特開平 1 1 - 6 7 8 9 8

1

## 【特許請求の範囲】

【請求項 1】 下地配線を覆う層間膜に、前記下地配線に通じるコンタクトホールを形成して該下地配線上にボータレスコンタクトを形成する半導体装置の製造方法において、

予め下地配線の側壁部に前記層間膜よりエッチレートが遅い絶縁物でサイドウォールを形成しておき、次いで該層間膜を成膜し、その後コンタクトホールを形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記下地配線は溝に配線材料が埋め込まれて形成された溝配線であり、前記サイドウォールは溝形成後に配線材料の埋め込み先立って形成されたものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記サイドウォールを窒化ケイ素で形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記サイドウォールを有機膜で形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記溝配線は、溝に配線材料が埋め込まれた後該配線材料が化学的機械的研磨法で研磨されて形成されたものであることを特徴とする請求項 2 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下地配線を覆う層間膜に、この下地配線に通じるコンタクトホールを形成して該下地配線上にボータレスコンタクトを形成するようにした、半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、超 L S I デバイスなどの半導体装置にあっては、数 mm 角のチップに数百万個以上の素子を集積することが必要となってきたため、従来のように素子を平面的に微細化することでこれを実現するのが困難になってきている。そこで、近年の半導体装置では配線を 2 重 3 重に積み上げる多層配線技術が不可欠となっており、これを満たすためのプロセス技術の整備が急がれている。

【0003】例えば、従来の多層配線におけるコンタクトホールの形成にあたっては、リソグラフィ工程でのパターンニング時の合わせずれを防止するため、配線パターンをコンタクト部のみ広くして合わせずれのマージンを稼ぐのが一般的であった。ところが、この方法では、コンタクト部を広くするため配線間ピッチを狭めることができず、したがって微細化に限界があり十分な微細化を達成することができなかった。

【0004】このような背景のもとに、近時、配線パターンをそのコンタクト部のみ広くして形成するのに代えて、配線間ピッチを狭める、いわゆるボータレスコンタ

2

クト技術が提案されている。ボータレスコンタクト技術では、例えば図 3 に示すように  $S i O_2$  からなる絶縁膜 1 上の A 1 製下地配線 2 を覆う層間膜 3 に、レジストパターン 4 をマスクにしてエッチングを行い、コンタクトホール 5 を形成する。すると、このようにして得られるコンタクトホール 5 は、図 3 に示したように合わせずれにより下地配線 2 の一部にしかかからないケースがで

くる。  
【0005】しかし、このようにコンタクトホール 5 が下地配線 2 の一部にしかかからないようになって、このコンタクトホール 5 における、下地配線 2 上からはずれた部分 5 a と下地配線 2 上にのる部分 5 b とでは、下地配線 2 上からはずれた部分 5 a の方が下地配線 2 上にのる部分 5 b よりはるかに狭くなるため、オーバーエッチング時においても、いわゆるマイクロローディング効果によって狭い部分のエッチレートが遅くなり、これにより合わせずれが生じた部分で深くエッチングされることはないと考えられていた。

【0006】

【発明が解決しようとする課題】しかしながら、実際にはこの合わせずれによって生じた、下地配線 2 上からはずれた部分 5 a、すなわち合わせずれ部 5 a では、エッチレートが予想以上に早くなる。したがって、この合わせずれ部 5 a においてエッチングの速度が増して絶縁膜 1 が突き破られてしまい、ボータレスコンタクトの歩留りが著しく低下してしまうおそれがある。

【0007】本発明は前記事情に鑑みてなされたもので、その目的とするところは、ボータレスコンタクトを形成した際に合わせずれが生じてしまっても、形成された合わせずれ部での過剰なエッチングを防止した、半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明者は、一般的なエッチングメカニズムにしたがって解釈すれば、合わせずれによって生じた合わせずれ部ではマイクロローディング効果でエッチレートが遅くなるはずであるにもかかわらず、実際には深くエッチングされることについてその原因を鋭意検討した。その結果、合わせずれ部ではオーバーエッチング時に下地配線の側面が露出することにより、プラズマ中の電子カレントがその部分へ流れ込んでしまうことが主要因であるとの知見を得た。そして、このような知見の基に本発明者は本発明を完成させた。

【0009】すなわち、本発明の半導体装置の製造方法では、下地配線を覆う層間膜に、前記下地配線に通じるコンタクトホールを形成して該下地配線上にボータレスコンタクトを形成する半導体装置の製造方法において、  
予め下地配線の側壁部に前記層間膜よりエッチレートが遅い絶縁物でサイドウォールを形成しておき、次いで該層間膜を成膜し、その後コンタクトホールを形成するこ

50

(3)

特開平11-67898

3

とを前記課題の解決手段とした。

【0010】一般に微細領域でのマイクロローディング効果は、図4に示すような局所的なチャージング現象で説明される。すなわち、ランダム方向から入射してくる電子は、微細領域の内部に入り込むことができずにレジストパターン6の表面近傍に留まるのに対して、イオンはシースで加速されるので、SiO<sub>2</sub>層7に形成された微細領域8の底部まで入り込む。この結果、微細領域8の底部ではイオンが過剰な状態となるので、ある時点から急激にイオン電流が低下してしまい、イオンが入射しにくくなる。そして、これによりエッチレートが大幅に低下するのである。

【0011】ボータレスコンタクトの合わせずれ部でも、これと同様の現象でイオン電流が低下すれば、エッチレートが低下して合わせずれ部が深くエッチングされるのが抑えられるはずである。ところが、図3に示した合わせずれ部5aでは下地配線2が存在するので、合わせずれによって下地配線2の側面がコンタクトホール5内に露出すると、通常の微細領域が絶縁物で周囲が覆われているのに対して、下地配線2の露出した側の側壁は導体となる。このため、本来微細領域では図4に示したように内部に入射できないはずの電子が、図3に示した例では内部にまで流入するようになる。この結果、微細領域ではその底部にイオンだけがたまってしまおうといった状態が図3に示した例では回避され、イオン電流の低下が起こらなくなる。したがって、エッチレートの低下が起こらず、これにより合わせずれ部でのエッチ深さが深くなってしまふのである。

【0012】このようなメカニズムから考えると、合わせずれ部でのエッチ深さを浅くするためには、下地配線2の側面が露出するのを防いで、チャージングによるイオン電流の低下を起こせばよいことになる。したがって、本発明の製造方法では、前述したように予め下地配線の側壁部に層間膜よりエッチレートの遅い絶縁物でサイドウォールを形成しておき、次いで該層間膜を成膜し、その後コンタクトホールを形成するようにしたので、下地配線の側面の露出が避けられ、エレクトロンカレントの流入によるイオン電流増大が抑えられ、マイクロローディング効果が起きて合わせずれ部でのエッチングが抑制される。

【0013】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を実施形態例に基づいて説明する。

（実施形態例1）この例では、図1（a）～（c）に示すように、下地配線11を覆う層間膜12に、下地配線11に通じるコンタクトホール13を形成して該下地配線11上にボータレスコンタクトを形成するようにしている。

【0014】まず、図1（a）に示すようにSiO<sub>2</sub>からなる絶縁膜10の上にA1からなる下地配線11を形

4

成し、さらに該下地配線11を覆って絶縁膜10上にCVD法によってSiN膜（図示略）を50nm程度の厚さに形成する。続いて、このSiN膜を全面エッチバックすることにより、下地配線11の側壁部にSiNからなるサイドウォール14を形成する。

【0015】なお、下地配線11については、ボータレスコンタクトを形成するようにしていることから、合わせずれを見込んで大きめに作っていないのはもちろん、コンタクト部のみを広くして形成してもおらず、必要とされる最小限の幅に形成している。また、サイドウォール14の形成材料となるSiNは、適宜なエッチング条件を選択することにより、層間膜12を形成するSiO<sub>2</sub>よりエッチレートが遅いものとなる。

【0016】次に、図1（b）に示すように下地配線11、サイドウォール14を覆って絶縁膜10上にプラズマTEOS（テトラエトキシシラン）膜を1μm程度の厚さに成膜し、層間膜12を形成する。次いで、この層間膜12上にレジスト層（図示略）を形成し、さらにこれをパターニングして、下地配線11とのコンタクトをとるためのコンタクトホール形成用のパターン15aを有したレジストマスク15を形成する。このとき、コンタクトホール形成用のパターン15aはリソグラフィ工程での合わせずれにより、図1（b）に示したようにその一部が下地配線11上からずれて形成されてしまふ。

【0017】次いで、このようなレジストマスク15を用い、マグネトロン型のRIE装置により、以下のような条件で層間膜12をエッチングし、図1（c）に示すように下地配線11に通じるコンタクトホール13を形成する。

エッチング条件

ガス ; C<sub>4</sub>F<sub>8</sub>/CO/Ar/O<sub>2</sub> = 8/50/150/2 sccm

圧 ; 4 Pa

RFパワー ; 1500 W

温度 ; 30℃

この後、コンタクトホール13に導電材料を埋め込み、ボータレスコンタクト（図示略）を得る。

【0018】このようにして下地配線11にサイドウォール14を形成した後コンタクトホール13を形成すると、層間膜12を構成するSiO<sub>2</sub>よりエッチレートの遅いSiNからなるサイドウォール14を下地配線11の側壁部に形成しているので、オーバーエッチ時にも下地配線11の側面が露出せず、したがってマイクロローディング効果によって合わせずれ部13aのエッチレートが遅くなるので、その部分が深くエッチングされることなく、図1（c）に示したように良好なコンタクトホール13を形成することができる。

【0019】すなわち、図3に示した従来の例のごとく通常のボータレスコンタクトでは、合わせずれ部5aで

50

下地配線2の側面が露出すると、そこがプラズマからのエレクトロンパスになり、チャージングが起こらずイオン電流が低下しないことによって合わせずれした狭い領域でもエッチレートの低下がおこらず、合わせずれ部5aが深くエッチングされる現象が起こるが、本例では前述したように合わせずれ部13aが深くエッチングされるのを防止することができるのである。

【0020】(実施形態例2)この例では、図2(a)～(e)に示すように、絶縁膜20中形成されたW(タングステン)プラグ21の上の、層間絶縁膜22に形成された溝配線23に通じるコンタクトホール29を形成して該溝配線23上にボードレスコンタクトを形成するようにしている。

【0021】まず、図2(a)に示すようにWプラグ21を形成した絶縁膜20の上に、Wプラグ21を覆ってSiO<sub>2</sub>からなる層間絶縁膜22を形成し、続いて公知のレジスト技術、リソグラフィ技術、エッチング技術によってレジストパターン(図示略)を形成し、さらにこのレジストパターンをマスクにしてRIE(反応性イオンエッチング)によって該層間絶縁膜22に前記Wプラグ21に通じる溝配線用の溝24を形成する。

【0022】次に、この溝24上に有機系低誘電率材としてPAE(ポリアリルエーテル)をスピンコートして有機膜(図示略)を形成し、その後、O<sub>2</sub>を反応ガスとして用いたRIEによってエッチバックし、溝配線用の溝24の側壁部に有機膜よりなるサイドウォール25を形成する。ここで、サイドウォール25の形成材料となる有機膜は、適宜なエッチング条件を選択することにより、後述する層間膜27を形成するSiO<sub>2</sub>よりエッチレートが遅いものとなる。

【0023】次いで、スパッタ法等によりAl等の金属配線材料を成膜し、さらに高圧リフロー法等の処理を施して図2(b)に示すように溝24内を埋め込んだ状態で金属配線材料層26を形成する。ここで、金属配線材料の埋め込みに際しては、Alの成膜に先立ってその下層に密着層としてTi/TiN層(図示略)を形成し、これにより金属配線材料層26を形成している。

【0024】次いで、この金属配線材料層26をCMP法(化学的機械的研磨法)で研磨し、溝24内のみに金属配線材料を残して図4(c)に示すように溝配線23を形成する。なお、この溝配線23は、本発明において下地配線となるものである。次いで、図2(d)に示すようにこの溝配線23を覆って層間絶縁膜22上にSiO<sub>2</sub>からなる層間膜27を形成する。

【0025】次いで、この層間膜12上にレジスト層(図示略)を形成し、さらにこれをパターンニングして、溝配線23とのコンタクトをとるためのコンタクトホール形成用のパターン28aを有したレジストマスク28を形成する。このとき、本実施形態例においてもボードレスコンタクトを形成するようにしているので、コンタ

クトホール形成用のパターン28aはリソグラフィ工程での合わせずれにより、図2(d)に示したようにその一部が溝配線23上からずれて形成されてしまう。

【0026】次いで、このようなレジストマスク28を用い、マグネトロン型のRIE装置により、実施形態例1と同様の条件で層間膜27をエッチングし、図2(e)に示すように溝配線23に通じるコンタクトホール29を形成する。この後、コンタクトホール13に導電材料を埋め込み、ボードレスコンタクト(図示略)を得る。

【0027】このようにして溝配線23にサイドウォール25を形成した後コンタクトホール29を形成すると、層間膜27を構成するSiO<sub>2</sub>よりエッチレートの遅い有機膜からなるサイドウォール25を溝配線23の側壁部に形成しているため、オーバーエッチ時にも溝配線23の側面が露出せず、したがってマイクロローディング効果によって合わせずれ部29aのエッチレートが遅くなるので、その部分が深くエッチングされることなく、図2(e)に示したように良好なコンタクトホール29を形成することができる。

【0028】すなわち、図3に示した従来の例のごとく通常のボードレスコンタクトでは、合わせずれ部5aで下地配線2の側面が露出すると、そこがプラズマからのエレクトロンパスになり、チャージングが起こらずイオン電流が低下しないことによって合わせずれした狭い領域でもエッチレートの低下がおこらず、合わせずれ部5aが深くエッチングされる現象が起こるが、本例では前記実施形態例1の場合と同様に、合わせずれ部29aが深くエッチングされるのを防止することができるのである。

【0029】なお、本発明は前記実施形態例に限定されことなく、例えば装置、サンプル等についても、発明の主旨を逸脱しない範囲で適宜選択可能である。

【0030】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、下地配線を覆う層間膜に、前記下地配線に通じるコンタクトホールを形成して該下地配線にボードレスコンタクトを形成するにあたり、予め下地配線の側壁部に層間膜よりエッチレートの遅い絶縁物でサイドウォールを形成しておき、次いで該層間膜を成膜し、その後コンタクトホールを形成するようにした方法であるから、下地配線の側面の露出を避けることによってエレクトロンカレントの流入によるイオン電流増大を抑えることができ、これによりマイクロローディング効果によって合わせずれ部での過剰なエッチングを防止することができ、したがってボードレスコンタクトを高歩留りで形成することができる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の第1実施形態例を工程順に説明するための要部側断面図である。

(5)

特開平 11-67898

7

8

【図2】(a)～(e)は本発明の第2実施形態例を工程順に説明するための要部側断面図である。

【図3】従来の製造方法とその課題を説明するための要部側断面図である。

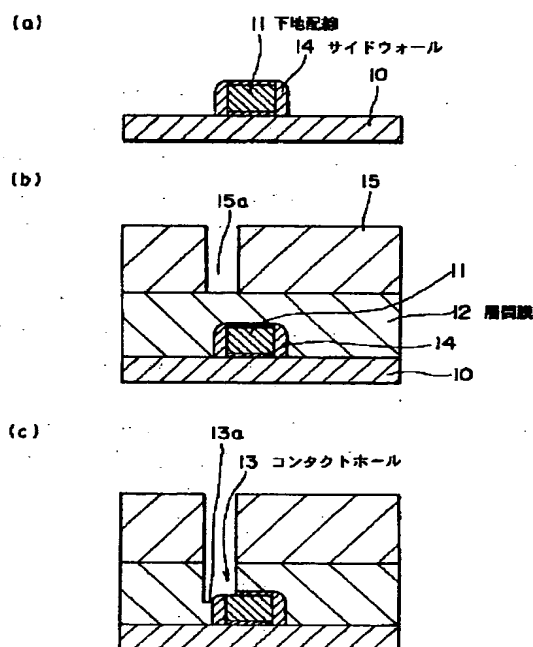
【図4】従来の課題が生じるメカニズムを説明するため\*

\*の図である。

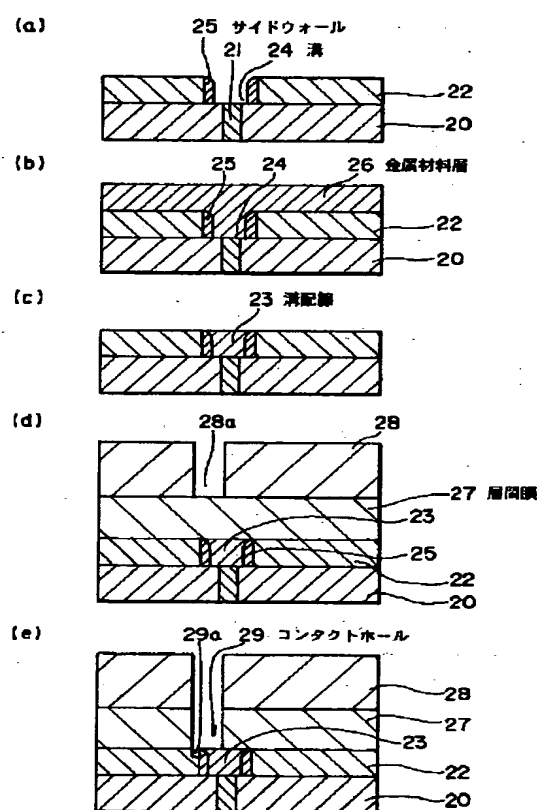
【符号の説明】

11…下地配線、12、27…層間膜、13、29…コンタクトホール、14、25…サイドウォール、23…溝配線（下地配線）、26…金属配線材料層

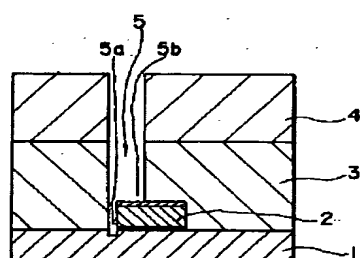
【図1】



【図2】



【図3】



【図4】

